

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-352576

(P2002-352576A)

(43) 公開日 平成14年12月6日 (2002. 12. 6)

(51) Int.Cl. ⁷	識別記号	F I	テ-マコ-ト* (参考)		
G 1 1 C	11/403	G 1 1 C	11/34	3 7 1 J	5 M 0 2 4
	11/401			3 5 4 R	
	11/409			3 6 2 D	

審査請求 未請求 請求項の数7 O L (全 19 頁)

(21) 出願番号 特願2001-155523 (P2001-155523)

(22) 出願日 平成13年5月24日 (2001. 5. 24)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 高橋 弘行

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 稲葉 秀雄

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100108578

弁理士 高橋 詔男 (外3名)

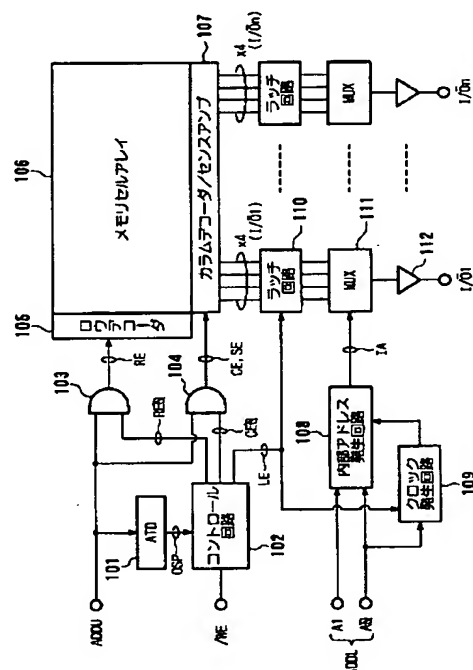
最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 いわゆる疑似SRAMとして構成されながらも、アドレスのスキューに関する制限を緩和することができ、読み出し速度を改善することができる非同期式の半導体記憶装置を提供すること。

【解決手段】 データラッチ回路110は、リードモードにおいて、アドレスADDUに含まれる行アドレスで指定されるメモリセルアレイ106内のメモリセル群から読み出されたデータを保持する。マルチプレクサ111は、アドレスに含まれる列アドレスA0、A1が変化した場合、データラッチ回路110に保持されたデータを列アドレスA0、A1に基づき非同期で外部に順次送出する。



1

【特許請求の範囲】

【請求項 1】 外部から供給されるアドレスの変化を契機としてビット線を初期化し、該ビット線に接続されたメモリセルからデータを読み出すように構成された半導体記憶装置であって、
リードモードにおいて、前記アドレスに含まれる行アドレスで指定されるメモリセル群からデータを読み出して保持し、前記アドレスに含まれる列アドレスが変化した場合に、前記保持されたデータを前記列アドレスに基づき非同期で外部に順次送出するように構成されたことを特徴とする半導体記憶装置。

【請求項 2】 外部から供給される前記アドレスがリード動作中に変化した場合、当該リード動作の後に新たに外部からアドレスを取り込んでリード動作をし直すように構成されたことを特徴する請求項 1 に記載された半導体記憶装置。

【請求項 3】 新たに取り込んだアドレスと、それまで取り込まれていたアドレスとを比較し、これらアドレスが同じである場合、前記新たに取り込んだアドレスに対するリード動作を無効とするように構成されたことを特徴とする請求項 2 に記載された半導体記憶装置。

【請求項 4】 前記メモリセルから読み出された複数のデータを保持するデータラッチ回路と、
前記データラッチ回路に保持された複数のデータのひとつを選択するマルチプレクサと、
前記列アドレスに基づき前記マルチプレクサの選択状態を非同期で切り換える制御回路と、
を備えたことを特徴とする請求項 1 ないし 3 の何れかに記載された半導体記憶装置。

【請求項 5】 前記列アドレスに基づき、前記メモリセルから読み出された複数のデータを時分割で前記データラッチ回路に取り込ませるように構成されたことを特徴とする請求項 4 に記載された半導体記憶装置。

【請求項 6】 ライトモードで、前記列アドレスのみが変化した場合に、該列アドレスで規定される複数のサイクルで外部から複数のデータをそれぞれ取り込むと共に、前記複数のサイクルのうちの最後のサイクルで前記複数のデータをメモリセルに書き込むように構成されたことを特徴とする請求項 1 ないし 5 の何れかに記載された半導体記憶装置。

【請求項 7】 ライトモードで前記列アドレスのみが変化した場合に、該列アドレスで規定される複数のサイクルで外部から複数のデータをそれぞれ取り込むと共に、レイトライトにより前記複数のデータをメモリセルに書き込むように構成されたことを特徴とする請求項 1 ないし 5 の何れかに記載された半導体記憶装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】本発明は、DRAM(Dynamic Random Access Memory)を母体として構成された疑似

2

SRAM(Static Random Access Memory)などの非同期式の半導体記憶装置に関し、特にページモードを有する半導体記憶装置に関する。

【0002】

【従来の技術】従来、DRAMを母体としながら、あたかもSRAMとして取り扱いが可能なように構成されたいわゆる疑似SRAMが知られている。この疑似SRAMは、その仕様の上では従来のSRAMと同様の非同期式ではあるが、DRAMを母体として構成されているため、リフレッシュなどのDRAMに特有な動作が内部で自動的に行われるように構成されている。

【0003】以下、DRAMを母体として構成された非同期式の半導体記憶装置の従来例を説明する。図13に、この種の半導体記憶装置の構成例を示す。同図において、アドレスADDは、外部から与えられる信号であって、後述するメモリセルアレイの行を指定するための行アドレスと、列を指定するための列アドレスを含んでいる。

【0004】アドレス入力系1は、アドレスADDをラッチして内部アドレスLADDとして出力するものである。アドレス遷移検出回路(ATD)2は、内部アドレスLADDの変化を検出してワンショットパルス信号OSPを出力するものである。アドレスマルチプレクサ(MUX)3は、内部アドレスLADDまたは後述のリフレッシュアドレスRADの何れかをアドレスMADDとして出力するものである。

【0005】ロウデコード60は、アドレスMADDをデコードしてメモリセルアレイ70の行を選択するものである。メモリセルアレイ70は、汎用のDRAMと同様のメモリセルを行列状に配列して構成される。センスアンプ71は、リード動作時にビット線上的データ信号を増幅するものである。カラムデコード72は、メモリセルアレイ70の列を選択するものである。なお、センスアンプ71に付随するようにして、ビット線のプリチャージ回路(図示なし)が配置されている。

【0006】リフレッシュタイマー回路8Gは、リフレッシュの時間間隔を計時するものである。リフレッシュコントロール回路8Hは、一連のリフレッシュ動作を制御するものであり、外部からのアクセスに付随してリフレッシュ動作のタイミングを制御するためのリフレッシュ制御信号REFAと、セルフリフレッシュ動作のタイミングを制御するために使用されるリフレッシュ制御信号REFBとを生成する。

【0007】リフレッシュアドレス発生回路8Jは、リフレッシュ動作で使用されるアドレス(以下、「リフレッシュアドレス」と称す)RADを生成するものである。内部パルス発生回路10は、ロウイネーブル信号RE、センスアンプイネーブル信号SE、プリチャージイネーブル信号PE、およびカラムイネーブル信号CE等を生成するものである。なお、上述の回路以外に、リー

3

ド動作やライト動作を制御するための回路系、メモリセルアレイの基板電位を発生するための回路系、メモリセルアレイに対してデータのリード・ライトを行うための回路系等が設けられている。

【0008】次に、図14に示すタイミングチャートを参照しながら、図13に示す従来技術に係る半導体記憶装置のリード・ライト動作とリフレッシュ動作とを順に説明する。

A. リード・ライト動作

アドレスアクセスによるリード動作を例として説明する。この場合、チップセレクト信号／CSおよびアウトプットイネーブル信号／OEはLレベルに設定され、ライトイネーブル信号／WEはHレベルに設定された状態で、アドレスADDが仕様に従って外部から印加される。

【0009】アドレスADDは、アドレス入力系1を介して内部アドレスLADDとして取り込まれる。この内部アドレスLADDは、リフレッシュ時以外はマルチプレクサ3を介してロウデコーダ60にアドレスMADDとして供給され、ロウイネーブル信号REで規定されるタイミングでロウデコーダ60によりメモリセルアレイ70内の1本のワード線が選択される。ワード線が選択されると、このワード線に接続される1行分のメモリセルから各ビット線にデータが読み出される。そして、このデータは、センスアンプイネーブル信号SEで規定されるタイミングでセンスアンプ71により増幅される。

【0010】一方、アドレスADDに含まれる列アドレス（図示省略）に基づき、カラムイネーブル信号CEで規定されるタイミングでカラムデコーダ72によりメモリセルアレイ70内のビット線が選択され、このビット線上に読み出されたデータが図示しないデータ出力系の回路を介して外部に送出される。なお、メモリセルからのデータの読み出しに先だって、プリチャージイネーブル信号PEに基づきビット線等のプリチャージが行われる。

【0011】上述の一連のリード動作の過程において、内部アドレスLADDが変化すると、アドレス遷移検出回路（ATD）2は、この内部アドレスLADDの変化を検出してワンショットパルス信号OSPを出力する。このワンショットパルス信号OSPをトリガーとして、内部パルス発生回路10が上述のロウイネーブル信号RE、センスアンプイネーブル信号SE、プリチャージイネーブル信号PE、およびカラムイネーブル信号CEを適切なタイミングで出力する。

【0012】B. リフレッシュ動作（リードモード時）次に、図14（a）に示すタイミングチャートを参照しながら、リードモードでのリフレッシュ動作を説明する。この従来技術に係る半導体記憶装置は、リードモードにおいては、その仕様上、同一サイクル内でリフレッシュ動作とリード動作とを順に行う。即ち、アドレス入

4

力系1がアドレスADDとして外部から与えられるアドレスA0をラッチして内部アドレスLADDを出力すると、アドレス遷移検出回路2は、この内部アドレスLADDの変化を検出してワンショットパルス信号OSPを出力する。

【0013】リフレッシュコントロール回路8Hは、ワンショットパルス信号OSPを受けて、リフレッシュ動作を起動する。リフレッシュ動作が起動されると、リフレッシュアドレス発生回路8Jは、リフレッシュアドレスRADDとしてリフレッシュ行アドレスR0を生成して出力する。アドレスマルチプレクサ3は、リフレッシュコントロール回路8Hの制御の下、リフレッシュアドレスRADD（即ちリフレッシュ行アドレスR0）をアドレスMADDとしてロウデコーダ60に出力する。

【0014】一方、内部パルス発生回路10は、リフレッシュコントロール回路8Hからリフレッシュ制御信号REFBを入力し、ロウイネーブル信号RE、センスアンプイネーブル信号SEを出力する。ロウデコーダ60は、アドレスMADDとロウイネーブル信号REとを入力し、リフレッシュアドレスR0で特定されるワード線をロウイネーブル信号REで規定される所定の期間にわたって選択する。選択されたワード線に接続されたメモリセルのデータ信号はセンスアンプにより増幅された後に書き戻される。これにより、リフレッシュ行アドレスR0で特定される1行分のメモリセルのデータがリフレッシュされる。

【0015】次に、リフレッシュ行アドレスR0で特定される行についてリフレッシュ動作が終了すると、同一のサイクル内でリード動作が行われる。具体的には、アドレスマルチプレクサ3は、アドレス入力系1から出力される内部アドレスLADDをアドレスMADDとしてロウデコーダ60に出力する。ロウデコーダ60は、アドレスMADDとして入力した行アドレスX0で特定されるワード線を選択する。この後、センスアンプ71は、メモリセルアレイ70内のビット線上に現れたデータ信号を増幅し、このデータが外部に読み出される。

【0016】C. リフレッシュ動作（スタンバイモード時）

次に、図14（b）に示すタイミングチャートを参照しながら、スタンバイモードでのリフレッシュ動作を説明する。スタンバイモードでは、リフレッシュコントロール回路8Hは、外部から最後にアクセス要求があった時点からの経過時間を計時し、それが所定のリフレッシュ時間を越えた場合にリフレッシュ制御信号REFBを出力し、セルフリフレッシュ動作を起動させる。

【0017】具体的には、スタンバイモードになると、リフレッシュタイマー回路8Gは、セルフリフレッシュ動作を行うべき時間間隔を計時する。リフレッシュコントロール回路8Hは、リフレッシュタイマー回路8Gにより計時して得られるタイミングで、リフレッシュアド

5

レスRADDとしてリフレッシュ行アドレスR0をリフレッシュアドレス発生回路8Jに生成させる。アドレスマルチプレクサ3は、リフレッシュアドレスRADDとしてリフレッシュ行アドレスR0を入力し、これをアドレスMADDとしてロウデコーダ60に出力する。

【0018】一方、リフレッシュコントロール回路8Hは、リフレッシュ制御信号REFBを出力し、適切なタイミングで内部パルス発生回路10にロウイネーブル信号REを発生させる。ロウデコーダ60は、アドレスマルチプレクサ3からアドレスMADDとしてリフレッシュ行アドレスR0を入力すると共に、ロウイネーブル信号REで規定されるタイミングで、リフレッシュ行アドレスR0により特定されるワード線を所定の期間にわたって選択する。この後、選択されたワード線に接続されるメモリセルのデータが、上述のリードモードと同様にセンスアンプにより増幅されて元のメモリセルに書き戻される。以後、スタンバイモードにおいて、リフレッシュタイマー回路8Gが発生するタイミングに従い、リフレッシュアドレス発生回路8Jが順次発生するリフレッシュアドレスで特定される行についてリフレッシュが行われる。 10

【0019】

【発明が解決しようとする課題】ところで、本来、SRAMでは、外部から供給されるアドレスのスキューについては何ら制限がなく、スキューに関する仕様上の規定は存在しない。しかしながら、DRAMを母体として構成された疑似SRAMの場合、内部回路間のタイミング上の制約から、スキューを無制限に認めると正常な動作が保障できなくなる。そこで、一般に疑似SRAMの場合、外部から供給されるアドレスのスキューの上限が仕様上で規定され、スキューに対して一定の制限が課されている。したがって、ユーザは、アドレスのスキューが仕様上の規定値を超えないように配慮しなければならない。 30

【0020】また、このようにアドレスのスキューに関する仕様上の制限が存在すると、ユーザは予めスキューを見込んでタイミングを設定しなければならず、従って高速化の妨げになるという問題がある。例えば、DRAMのページモードの場合、列アドレスのみを切り換える仕様となっているが、アドレスのタイミングを設定するにあたってスキューを考慮しなければならないとする 40
と、アドレスのサイクルを短く設定することが困難となり、ページモードの特徴である高速読み出しを有効に機能させることができなくなる。

【0021】この発明は、上記事情に鑑みてなされたもので、いわゆる疑似SRAMとして構成されながらも、アドレスのスキューに関する制限を緩和することができ、読み出し速度を改善することができる非同期式の半導体記憶装置を提供することを目的とする。

【0022】

6

【課題を解決するための手段】上記課題を解決するため、この発明は以下の構成を有する。すなわち、請求項1に係る発明は、外部から供給されるアドレスの変化を契機としてビット線を初期化し、該ビット線に接続されたメモリセルからデータを読み出すように構成された半導体記憶装置であって、リードモードにおいて、前記アドレスに含まれる行アドレスで指定されるメモリセル群からデータを読み出して保持し、前記アドレスに含まれる列アドレスが変化した場合に、前記保持されたデータを前記列アドレスに基づき非同期で外部に順次送出するように構成されたことを特徴とする。

【0023】請求項2に係る発明は、請求項1に記載された半導体記憶装置において、外部から供給される前記アドレスがリード動作中に変化した場合、当該リード動作の後に新たに外部からアドレスを取り込んでリード動作をし直すように構成されたことを特徴とする。請求項3に係る発明は、請求項2に記載された半導体記憶装置において、新たに取り込んだアドレスと、それまで取り込まれていたアドレスとを比較し、これらアドレスが同じである場合、前記新たに取り込んだアドレスに対するリード動作を無効とするように構成されたことを特徴とする。

【0024】請求項4に係る発明は、請求項1ないし3の何れかに記載された半導体記憶装置において、前記メモリセルから読み出された複数のデータを保持するデータラッチ回路と、前記データラッチ回路に保持された複数のデータのひとつを選択するマルチプレクサと、前記列アドレスに基づき前記マルチプレクサの選択状態を非同期で切り換える制御回路と、を備えたことを特徴とする。請求項5に係る発明は、請求項4に記載された半導体記憶装置において、前記列アドレスに基づき、前記メモリセルから読み出された複数のデータを時分割で前記データラッチ回路に取り込ませるように構成されたことを特徴とする。

【0025】請求項6に係る発明は、請求項1ないし5の何れかに記載された半導体記憶装置において、ライトモードで、前記列アドレスのみが変化した場合に、該列アドレスで規定される複数のサイクルで外部から複数のデータをそれぞれ取り込むと共に、前記複数のサイクルのうちの最後のサイクルで前記複数のデータをメモリセルに書き込むように構成されたことを特徴とする。請求項7に係る発明は、請求項1ないし5の何れかに記載された半導体記憶装置において、ライトモードで前記列アドレスのみが変化した場合に、該列アドレスで規定される複数のサイクルで外部から複数のデータをそれぞれ取り込むと共に、レイトライトにより前記複数のデータをメモリセルに書き込むように構成されたことを特徴とする。

【0026】

50 【発明の実施の形態】以下、図面を参照して、この発明

7

の実施の形態を説明する。

＜実施の形態1＞この発明の実施の形態1を説明する。

この実施の形態1に係る半導体記憶装置は、外部から供給されるアドレスの変化を契機としてビット線を初期化し、該ビット線に接続されたメモリセルからデータを読み出すように構成された疑似SRAMであり、DRAMと同様のメモリセルを用いながら、通常のSRAMと同様の仕様で動作する。そして、列アドレスのみが変化した場合に、この列アドレスに基づき非同期でデータの読み出しを行う動作モードを有する。この動作モードは、列アドレスのみを切り換えて読み出しを行う点に着目すれば、DRAMのページモードと類似するので、以下、この動作モードをページモードと称す。これに対し、従来と同様の任意のアドレスに同期した動作モードをノーマルモードと称す。

【0027】なお、この実施の形態1に係る半導体記憶装置は、前述の従来技術と同様に、外部から入力されたアドレスやチップセレクト信号の変化を検出して内部でパルス信号を生成し、このパルス信号をトリガーとしてリフレッシュ動作およびリード・ライト動作を同一サイクル内で順次行うように構成されている。また、スタンバイモードでは、タイマーによって、所定のタイミングでセルフリフレッシュが行われるように構成されている。

【0028】図1に、この実施の形態に係る半導体記憶装置の全体構成を概略的に示す。同図において、アドレスADDUは、外部からこの半導体記憶装置に与えられる上位アドレスであって、行アドレスと列アドレスの一部を含む。アドレスADDLは、外部からこの半導体記憶装置に与えられる下位アドレスであって、上述の上位アドレスADDUに含まれない残りの列アドレスA0、A1を含む。このアドレスの他、外部から与えられる信号としては、チップセレクト信号/CS（図示なし）、ライトイネーブル信号/WE、アウトプットイネーブル信号/OE（図示なし）などの制御信号がある。

【0029】なお、チップセレクト信号/CSは、半導体記憶装置の動作状態を制御するための最上位の制御信号であって、Hレベルの場合に半導体記憶装置をスタンバイモードとし、Lレベルの場合にアクティブモード（リードモードまたはライトモード）とする信号である。ライトイネーブル信号/WEは、リードモードとライトモードとを切り替えるための制御信号である。アウトプットイネーブル信号/OEは、データを外部に出力するためのバッファ回路の出力状態（インピーダンス状態）を制御するための制御信号である。

【0030】また、同図において、アドレス遷移検出回路（ATD; Address Transition Detector）101は、上位アドレスADDUの遷移を検出し、ワンショットパルスOSPを出力するものである。上位アドレスADDUの遷移の検出は、この上位アドレスADDUの各

8

ビットについて行われ、何れかのビットが遷移すると、ワンショットパルス信号OSPが出力される。

【0031】なお、特に図示しないが、アドレス遷移検出回路101は、リフレッシュを起動するために用いられるワンショットパルス信号を発生する経路と、リードを起動するために用いられるワンショットパルス信号を発生する経路とで、アドレスの変化に対する応答特性が異なるように構成される。具体的には、遅延回路などを利用したフィルタを用いることにより、リフレッシュ用のワンショットパルス信号を生成する経路はアドレスの変化に対する感度が高く、逆に、リード用のワンショットパルス信号を生成する経路については、その感度が低く設定される。これにより、後述するように、読み出し速度（アクセスタイム）を犠牲にすることなく、アドレスに含まれるノイズに対する誤動作を有効に防止する。

【0032】コントロール回路102は、ライトイネーブル信号/WEおよびワンショットパルス信号OSPに応じて内部の各種の信号のタイミングを制御するものである。このコントロール回路102は、後述する行アドレス信号RE、列アドレス信号CE、およびセンスアンプイネーブル信号SEをそれぞれ活性化するためのタイミングを与える信号RE0、CE0と、メモリセルから読み出されたデータをラッチするためのタイミングを与えるラッチイネーブル信号LEを出力する。

【0033】ゲート回路103は、上位アドレスADDUに含まれる行アドレスをプリデコードするプリデコードとして機能するものであって、行アドレス信号REを所定のタイミングで出力する。このゲート回路103は、アドレスADDUに含まれる行アドレスに代えて、リフレッシュ用の行アドレスを適切なタイミングで選択して出力する機能を併せ持つ。

【0034】ゲート回路104は、上位アドレスADDUに含まれる列アドレス（A0、A1を除く）をプリデコードするプリデコードとして機能するものであって、列アドレス信号CEおよびセンスアンプイネーブル信号SEを所定のタイミングで出力する。リフレッシュモードでは、ゲート回路104は、列アドレス信号CEを非活性化状態に固定し、全てのビット線を非選択状態とする。ただし、メモリセルアレイ106が複数のブロックに分割されている場合、ゲート回路104は、リフレッシュモードにおいてこれらのブロックを選択するためのリフレッシュ用の列アドレス信号のみを活性化して出力する。

【0035】ロウデコーダ105は、上述のゲート回路103から出力される行アドレス信号REを入力してメモリセルアレイ内のワード線を択一的に駆動するものである。メモリセルアレイ106は、汎用のDRAMと同様に、データ記憶用のキャパシタを含むメモリセル（1キャパシタ・1トランジスタ型）を行列状に配列して構成され、その行方向および列方向にそれぞれワード線お

よびビット線（またはビット線対）が配線されている。

【0036】カラムデコーダ／センスアンプ107は、メモリセルアレイ106からビット線上に読み出されたデータ信号を増幅するためのセンスアンプと、読み出しの対象とされるビット線を選択するためのカラムデコーダとを含む。カラムデコーダは、上述のゲート回路104から出力される列アドレス信号CEに基づきビット線を選択し、センスアンプは、リードモードでは、センスアンプイネーブル信号SEにより制御されてデータを増幅し、リフレッシュモードでは、メモリセルに記憶され

たデータを回復させるために使用される。
【0037】内部アドレス発生回路108は、外部から供給されるアドレスADDに含まれる下位アドレスである列アドレスA0、A1をデコードして内部アドレスIAを発生するものである。クロック発生回路109は、列アドレスA0のみが変化した場合にクロックパルスを発生するものである。上述の内部アドレス発生回路108は、クロック発生回路109からクロックパルスを入力すると、内部アドレスIAを順次インクリメントする機能を併せ持つ。

【0038】データラッチ回路110は、カラムデコーダ／センスアンプ107により選択されたデータを、ラッチイネーブル信号LEに基づきラッチするものである。この例では、データ端子I/O1～I/Onに対応づけてn個のデータラッチ回路が設けられ、各データラッチ回路は、カラムデコーダ側から与えられる4ビットのデータ（複数のデータ）をラッチする。マルチプレクサ（MUX）111は、データラッチ回路110にラッチされた4ビットのデータのひとつを内部アドレスIAに基づき順次選択して時分割により出力するものである。出力バッファ112は、マルチプレクサ111から出力されたデータを外部に送出するためのものである。

【0039】なお、特に図示していないが、この半導体記憶装置には、外部から供給されるアドレスADDを装置内部にラッチして取り込むアドレス入力回路が設けられており、このアドレス入力回路に取り込まれたアドレスが上述のアドレス遷移検出回路101およびゲート回路103、104に供給される。また、前述した従来技術に係る半導体記憶装置と同様に、リード・ライト動作と同一サイクル内でリフレッシュを行うための回路系や、ビット線をプリチャージするための回路系など、疑似SRAMとして動作するために必要とされる構成を備える。

【0040】図2に、この実施の形態1の特徴であるところのスキューに関する制限を排除するための回路系の構成を示す。この回路系は、スキュー期間にアドレスがラッチされた場合に、再びアドレスをラッチし直すように構成される。なお、同図において、前述の図1に示す構成要素と共通する要素には同一符号を付す。

【0041】同図において、アドレスラッチ回路201

は、外部から供給されたアドレスADDをラッチ信号LCにより取り込んでラッチし、これを内部アドレスLADDとして出力するものである。アドレス遷移検出回路101は、アドレスの各ビットの変化を検出する検出部101Aと、検出部101Aの出力を受けてワンショットパルス信号OSPを発生するパルス発生部101Bとから構成される。ここで、検出部101Aは、アドレスADDの各ビット毎に設けられ、これら検出部の出力がパルス発生部101Bに入力される。パルス発生部101Bは、アドレスADDの何れかのビットが変化するとワンショットパルス信号OSPを出力する。

【0042】ゲート回路103は、マルチプレクサ（MUX）103Aとデコード回路103Bから構成される。ここで、マルチプレクサ103Aは、アドレスADDの各ビット毎に設けられ、内部アドレスLADDまたはリフレッシュアドレスRADDを選択して出力するものである。デコード回路103Bは、マルチプレクサ103Aにより選択されたアドレスLADDをプリデコードして行アドレス信号REを出力するものである。

【0043】リフレッシュ制御回路202は、リフレッシュの時間間隔を計時するリフレッシュタイマーを内蔵し、上述のアドレス遷移検出回路101から出力されるワンショットパルス信号等に基づきセルフリフレッシュ動作に関する一連の制御を行うものである。例えば、リフレッシュ制御回路202は、外部から最後にアクセス要求があつてからの経過時間が所定のリフレッシュ時間を越えた場合にセルフリフレッシュ動作を起動させ、リフレッシュアドレスRADDを生成して出力する。リフレッシュタイマーは、ワンショットパルス信号OSPが出力される度にリセットされ、計時が再開される。

【0044】また、リフレッシュ制御回路202は、リフレッシュ動作のタイミングを制御するためのリフレッシュ制御信号を発生するものである。ここで、アクティブモードにおけるリフレッシュ制御方法として次の2種類の方法がある。この実施の形態では、第2のリフレッシュ制御方法を用いることとする。

（a）第1のリフレッシュ制御方法

リフレッシュ制御回路202がリフレッシュ制御信号REF A（図示なし）を発生し、このリフレッシュ制御信号REF Aによりリフレッシュイネーブル状態を設定し、その後のアドレス変化をトリガーとしてリフレッシュを開始する。

（b）第2のリフレッシュ制御方法

リフレッシュ制御回路202がリフレッシュ制御信号REF Bを発生し、このリフレッシュ制御信号REF Bにより内部のリフレッシュタイマーをトリガーとしてリフレッシュを開始する。

【0045】なお、リフレッシュ動作とリード・ライト動作が最も接近したクリティカルな状態は、第2のリフレッシュ制御方法によるリフレッシュ開始直後にアドレ

11

スが変化した場合であって、この場合、リフレッシュ動作に続いてリード・ライト動作が実施されるので、第2のリフレッシュ制御方法は、第1のリフレッシュ制御方法による場合と実質的に同一となる。従って、この実施の形態では、上述のリフレッシュ制御方法の違いは意味を持たず、本発明は何れのリフレッシュ制御方法に対しても適用し得る。

【0046】リフレッシュアドレス選択制御回路203は、上述のリフレッシュ制御信号REFBを受けて、リフレッシュアドレスRADDを選択しするように上述のゲート回路103を制御するものであり、ワンショットパルス信号OSPが発生されるまでこの選択状態が維持される。このリフレッシュアドレス選択制御回路203は、インバータ203A、p型MOSトランジスタ203B、n型MOSトランジスタ203C、インバータ203D、203E、p型MOSトランジスタ203G、n型MOSトランジスタ203H、203J、インバータ203K、203L、ワンショットパルス発生回路(OS)203Mから構成される。

【0047】ここで、インバータ203A、p型MOSトランジスタ203B、n型MOSトランジスタ203C、インバータ203D、203Eは、ワンショットパルス信号OSPをラッチするためのラッチ回路を構成する。このラッチ回路は信号LC1によりリセットされる。p型MOSトランジスタ203G、n型MOSトランジスタ203H、203J、インバータ203K、203Lは、リフレッシュ制御信号REFBをラッチするためのラッチ回路を構成する。このラッチ回路は、上述のワンショットパルス信号OSPをラッチするラッチ回路の出力によりリセットされる。

【0048】このリフレッシュアドレス選択制御回路203によれば、リフレッシュ制御回路202からリフレッシュ制御信号REFBが出力されると、この信号レベルを、インバータ203K、203Lからなるフリップフロップにより保持され、この時に変化するインバータ203Kの出力を受けて、ワンショットパルス発生回路203Mが、所定のパルス幅を有するワンショットパルスを信号RERとして発生する。また、ワンショットパルス信号OSPが発生すると、インバータ203D、203Eからなるフリップフロップがセットされ、これを受けて、インバータ203K、203Lからなるフリップフロップがリセットされる。さらに、信号LC1が発生すると、インバータ203D、203Eからなるフリップフロップがリセットされる。

【0049】次に、タイミング調整回路204は、ワンショットパルス信号OSPのタイミングを調整するものであり、遅延回路(DLY)204A、マルチプレクサ(MUX)204B、インバータ204Cから構成される。ここで、マルチプレクサ204Bの一方の入力部には、遅延回路204Aにより遅延されたワンショットパ

12

ルス信号OSPが与えられ、他方の入力部にはワンショットパルス信号OSPがそのまま与えられる。インバータ204Cは、マルチプレクサ204Bの選択状態を制御するための信号LC3の反転信号を得るためのものである。マルチプレクサ204Bにより選択された信号(ワンショットパルス信号OSPまたはその遅延信号)は信号LCOSとして出力される。

【0050】リセットパルス発生回路205は、インバータ205A、否定的論理和ゲート205C、およびワンショットパルス発生回路(OS)205Dから構成される。ここで、インバータ205Aおよび否定的論理和ゲート205Cは、後述するラッチ信号発生回路から出力される信号LCの立ち下がりを検出してHレベルのパルス信号LC2を発生するための回路を構成する。この信号LC2はワンショットパルス発生回路205Dに与えられ、このワンショットパルス発生回路205Dをリセットする。リセットパルス発生回路207もリセットパルス発生回路205と同様に構成される。

【0051】ラッチ信号発生回路206は、ラッチ信号発生回路206は、インバータ206A、p型MOSトランジスタ206B、n型MOSトランジスタ206C、インバータ206D、206E、206F、およびワンショットパルス発生回路206G、インバータ列206Hから構成される。ここで、インバータ206A、p型MOSトランジスタ206B、n型MOSトランジスタ206C、インバータ206D、206E、206Fは、いわゆるRS型フリップフロップを構成する。このフリップフロップの出力はワンショットパルス発生回路206Gに与えられ、このワンショットパルス発生回路の出力はインバータ列206Hに与えられる。

【0052】このラッチ信号発生回路206によれば、上述の信号LCOSを受けてラッチ信号LCを発生し、これをアドレスラッチ回路201に出力する。信号LCはインバータ列206Hによりタイミングが調整されて信号RENおよびラッチイネーブル信号LEとして出力される。このとき、信号LCOSはインバータ206D、206Eからなるフリップフロップに保持され、ラッチ信号LCが活性状態に維持される。そして、リセットパルス発生回路205からの信号によりフリップフロップがリセットされ、ラッチ信号LCが非活性化される。

【0053】次に、図3を参照して、図2に示す回路系の全体動作を説明する。なお、図3において、信号RESTEPは図2に示す信号/RESTEPの反転信号を表す。以下に説明するように、この回路構成によれば、アドレスのスキュー期間がながくなり、これにより誤ったアドレスがラッチされたとしても、改めてアドレスがラッチし直され、誤動作が防止される。図3において、アドレスADDは、時刻t1で変化し、ラッチ信号LCが発生する時刻t2よりも遅い時刻t3において確定する

13

ものとする。従って、時刻 t_1 から時刻 t_3 までの期間がスキュー期間 t_{SKEW} となる。

【0054】まず、時刻 t_1 において、アドレス ADD が最初に変化すると、アドレス遷移検出回路 101 がこのアドレス変化を検出しワンショットパルス信号 OSP を発生する。このワンショットパルス信号 OSP を受けて、リフレッシュアドレス選択制御回路 203 においてリフレッシュ禁止信号 $RESTOP$ が発生され、信号 RE 10
 ER が非活性状態に固定される。従って、リフレッシュ禁止信号 $RESTOP$ が活性化した後リフレッシュ制御信号 $REFB$ が活性化したとしても、ゲート回路 103 はリフレッシュアドレス $RADD$ を選択せず、新たなセルフリフレッシュが禁止される。

【0055】また、ワンショットパルス信号 OSP は、タイミング調整回路 204 の遅延回路 204A により遅延され、マルチプレクサ 204C を介してワンショットパルス信号 $LCOS$ として出力される。このワンショットパルス信号 $LCOS$ は、ラッチ信号発生回路 206 内のフリップフロップ (インバータ 206D、206E) に保持され、このワンショットパルス信号 $LCOS$ の立 20
 ち上がりエッジを受けてラッチ信号 LC がラッチ信号発生回路 206 から出力される。

【0056】このように、アドレス ADD が最初に変化した場合、ワンショットパルス信号 $LCOS$ として、遅延回路 204A により遅延されたワンショットパルス信号 OSP が選択され、時刻 t_1 でのアドレスの変化から所定の時間だけ遅れてラッチ信号 LC が出力される。こ 30
 こで、ラッチ信号 LC の発生タイミングを遅らせる理由は、図 3 に示すように、アドレス ADD が変化してリードが行われようとしている時間帯に、セルフリフレッシュを起動するリフレッシュ制御信号 $REFB$ が発生され、リフレッシュが行われている場合があり、このリフレッシュとの競合を回避するためである。

【0057】ラッチ信号発生回路 206 から出力されたラッチ信号 LC は、アドレスラッチ回路 201 に与えられ、時刻 t_2 においてアドレス ADD のラッチが行われる。この例では、時刻 t_2 においてアドレス ADD はスキュー期間にあり、未確定状態にあるため、前述の従来技術に係る半導体記憶装置と同様に、アドレスラッチ回路 201 には、内部アドレス $LADD$ として未確定の 40
 アドレス Ax がラッチされることになる。この後、時刻 t_3 においてスキュー期間 t_{SKEW} が終了し、アドレス ADD が確定する。

【0058】次に、時刻 t_2 から所定の時間が経過した時刻 t_4 において、ラッチ信号 LC が L レベルとなる。これにより、アドレスラッチ回路 201 のラッチ状態が解除され、アドレス ADD がアドレスラッチ回路 201 を通過して内部アドレス $LADD$ としてそのまま出力される。このとき、外部のアドレス ADD は、アドレス A 50
 n に確定した状態にあるので、内部アドレス $LADD$

14

は、それまでのアドレス Ax からアドレス An に変化する。この内部アドレス $LADD$ の変化を受けてアドレス遷移検出回路 101 からワンショットパルス信号 OSP が発生される。

【0059】一方、ラッチ信号 LC の立ち下がりエッジを受けてリセットパルス発生回路 205 において信号 $LC2$ が発生され、ワンショット発生回路 (OS) 205D から信号 $LC3$ が発生される。この信号 $LC3$ を受けて、タイミング調整回路 204 のマルチプレクサ 204B は、遅延回路 204A をバイパスしたワンショットパルス信号 OSP を選択してワンショットパルス信号 $LCOS$ として出力する。そして、ワンショットパルス信号 $LCOS$ を受けて、ラッチ信号 LC がラッチ信号発生回路 206 から出力される。

【0060】ここで、ワンショットパルス信号 OSP は、遅延回路 204A をバイパスし、マルチプレクサ 204B からワンショットパルス信号 $LCOS$ として直ちに出力される。従って、内部アドレス $LADD$ がアドレス An に確定してから、ラッチ信号 LC が速やかに出力され、アドレス ADD が正しくラッチし直される。また、ラッチ信号 LC は、インバータ列 206H により遅延され、信号 REN としてゲート回路 103 に出力される。この信号 REN を受けて、マルチプレクサ 103A はアドレス An を選択してロウデコーダに供給する。

【0061】この後、内部アドレスが確定した後の時刻 t_5 において、ラッチ信号 LC が L レベルになったとしても、内部アドレス $LADD$ は変化しないので、ワンショットパルス信号 OSP およびワンショットパルス信号 $LCOS$ は発生しない。そして、時刻 t_5 から所定の時間が経過した後に、リセットパルス発生回路 207 から信号 $LC1$ が発生され、これを受けてリフレッシュ禁止信号 $RESTOP$ が L レベルにリセットされてリフレッシュ可能な初期状態にもどる。

【0062】以上のように、図 2 に示す回路系によれば、スキュー期間中に誤ってアドレス Ax をラッチしたとしても、アドレスラッチ回路 201 のラッチ状態が解除されたときのアドレス An と、それまでラッチされていたアドレス Ax とが異なっていれば、ラッチ信号 LC が速やかに発生され、正しいアドレスが取り込まれて読み出しが行われる。

【0063】以下、この実施の形態 1 に係る図 1 に示す半導体記憶装置の動作について、図 4 ～ 図 8 を参照しながら、列アドレスを切り換えて高速な読み出しを行うページモードでの動作を主体に説明する。

(A) 標準的な動作

図 4 (a) は、列アドレス $A0$ 、 $A1$ を切り換えて読み出しを行う場合の標準的な動作を説明するためのタイミングチャートである。この例では、時刻 t_{41} から時刻 t_{42} までがスキュー期間であり、アドレスのラッチが行われるまでには、全アドレスが確定しているものとし

15

ている。

【0064】同図において、時刻 t_{41} で上位側のアドレスADDUおよび下位側のアドレスADDLが切り替わる。上位側のアドレスADDUについては、アドレスのスキュー期間が経過した時刻 t_{42} でアドレスA40に確定する。また、下位側のアドレスADDLの回路系は、非同期で動作するため、アドレスADDLは、スキューを伴うことなく、時刻 t_{41} でアドレスA401に直ちに確定する。

【0065】次に、最終的に全てのアドレスが確定する時刻 t_{42} を起点として、先頭アドレスに対するノーマルモードでの読み出し動作が行われる。このとき、データ端子毎に、アドレスA40、A401で特定される4ビットのデータD1～D4がメモリセルアレイ106から並列に読み出されてデータラッチ回路110に保持され、このうち、データD1のみがマルチプレクサ111により選択されて外部に送出される。

【0066】この後、ページモードでの動作が行われる。即ち、下位側のアドレスADDL（列アドレスA0、A1）がアドレスA402、A403、A404に非同期で順次切り替わる。このように列アドレスのみが変化した場合、データラッチ回路110に保持されたデータが、列アドレスに基づき、先頭アドレスに続くアドレスに対応するデータD2、D3、D4がマルチプレクサ111により選択されて非同期で外部に順次送出される。このように、下位側のアドレスADDLのみを非同期で切り換えて読み出しを行うので、スキューが極めて小さく抑えられ、従って短いサイクルで高速にデータD2～D4を読み出すことが可能となる。

【0067】次に、図4（b）は、列アドレスA0のみを切り換えて読み出しを行う場合の動作を説明するためのタイミングチャートである。この例でも、時刻 t_{41} から時刻 t_{42} までがスキュー期間であり、アドレスのラッチが行われるまでには、全アドレスが確定しているものとしている。上述の図4（a）に示す例と同様に、時刻 t_{41} で上位側のアドレスADDUおよび下位側のアドレスADDLが切り替わり、上位側のアドレスADDUについては時刻 t_{42} でアドレスA40に確定する。また、この例では、時刻 t_{41} で、列アドレスA0、A1が共にHレベルとなって下位側のアドレスADDLが確定する。

【0068】スキュー期間が終了する時刻 t_{42} で全てのアドレスが確定すると、これを受けて内部アドレスIAが確定し、データD1がマルチプレクサ111により選択されて外部に送出される。この後、ページモードでの動作が行われる。即ち、列アドレスA0のみがLレベルに変化すると、これを受けて図1に示すクロック発生回路109がクロック信号を発生し、内部アドレス発生回路108が出力する内部アドレスIAをインクリメントする。この内部アドレスを入力するマルチプレクサ1

16

11は、データラッチ回路110に保持されたデータD2を選択して外部に送出する。以下、列アドレスA0のレベルの変化を受けて、データD3、D4が外部に順次送出される。

【0069】なお、クロック発生回路109は、ノーマルモード（列アドレスA0のみを切り換えて読み出しを行うページモード以外の動作モード）や、ページモードでスタートアドレスを確定する際に動作しないよう、ノーマルモードでのリード動作の度にラッチイネーブル信号LEによりリセットされるようになっている。

【0070】この例によれば、最初のデータD1を読み出す際の先頭アドレスを除いて、列アドレスA0のみしか切り替わらないので、実質的にスキューが存在しない。従って、上述の図4（a）に示す例に比較して、読み出しサイクルを一層小さく設定することが可能となる。なお、この例では、データラッチ回路110が4ビットのデータを保持するものとしたが、データラッチ回路110が保持するビット数をさらに増やしたとしても、列アドレスA0を変化させるのみで、データラッチ回路110に保持された全データを順次送出することができる。

【0071】（B）ノーマルモードでの先頭アドレスのスキューがながい場合の動作

図5に示すように、アドレスADDが時刻 t_{51} で変化してから時刻 t_{53} で確定するまでのスキュー期間 t_{SK} EWがながく、アドレスのラッチが行われる時刻 t_{52} でアドレスADDが確定していない場合の動作を説明する。この場合、前述の図2に示す回路系が有効に機能し、以下に説明するように、外部から供給されるアドレスADDがリード動作中に変化すると、当該リード動作の後に新たに外部からアドレスを取り込んでリード動作をし直す。

【0072】先ず、時刻 t_{51} でアドレスADDが変化すると、リード動作に付随するリフレッシュが起動される。この後、スキュー期間における時刻 t_{52} でアドレスADDがラッチされ、このアドレスに対するリードが行われる。ただし、時刻 t_{52} では、アドレスADDは確定した状態にはないので、そのときの未確定なアドレスA'がラッチされ、このアドレスA'に対するダミーリードが行われてデータD'が出力される。

【0073】次に、ダミーリード中の時刻 t_{53} で、アドレスADDがアドレスAに確定すると、前述の図2に示すタイミングに従って図2に示す回路系が動作し、ダミーリードの終了後の時刻 t_{54} で、アドレスAがラッチし直される。そして、このアドレスAに対するリードが行われ、データDが出力される。即ち、1回目のリード（ダミーリード）中にアドレスADDが変化したか否か、またはアドレスが確定したか否かにより、時刻 t_{54} で再リードが必要が否かが判断される。

【0074】ここで、仕様上のアクセスタイム t_{AA} は、

17

時刻 t_{53} からデータ D が出力されるまでの時間として規定されるが、このアクセスタイムは、リフレッシュとリードとを含んでいる。リフレッシュは基本的にはリードと同様であるから、アクセスタイム t_{AA} は2回分のリードを含む時間である。図5を見ると、ダミーリードとその後のリードとで2回のリードが行われるが、時刻 t_{53} 以前の時刻 t_{52} で1回目のリード、即ちダミーリードが開始しているの、時刻 t_{53} からデータデータ D が出力されるまでの時間は、必然的に仕様上のアクセスタイム t_{AA} を満足することになる。

【0075】このように、アドレス ADD のスキュー期間 t_{SKEW} がながくなくても、ダミーリードを行う際にラッチしたアドレス A' と、ダミーリード後のアドレス A とが異なっている場合にアドレス A がラッチし直され、最終的には正常なアドレスに対するリードが行われる。従って、上述の図4に示す動作の説明では、便宜上、時刻 t_{41} から時刻 t_{42} までのスキューの期間を制限したが、通常のSRAMと同様に、上位アドレス $ADDU$ のスキューを仕様上で制限する必要はない。

【0076】なお、この例では、ダミーリード中にアドレス ADD が確定するものとしたが、仮にスキュー期間 t_{SKEW} においてダミーリードの一連の動作が完結する場合であっても、ダミーリードの前後でラッチしたアドレスが異なっている限り、アドレスがラッチし直され、正常なアドレスがラッチされるまで、ラッチが繰り返される。

【0077】(C) 確定したアドレスにノイズが含まれる場合の動作

図6に示すように、アドレス ADD が時刻 t_{61} で変化してから時刻 t_{62} で確定し、その後、アドレス ADD にノイズが発生した動作を説明する。この場合の動作でも、前述の図2に示す回路系が有効に機能する。

【0078】即ち、時刻 t_{61} でアドレス ADD が変化すると、アドレス遷移検出回路101は、この変化を即座に検出し、リフレッシュが行われる。このリフレッシュの後、時刻 t_{63} でアドレス ADD がラッチされて取り込まれ、リード動作が行われる。ここで、時刻 t_{63} の後であって、次のアドレスのラッチが行われる時刻 t_{64} までの間に、アドレス ADD にノイズが発生したとしても、アドレス遷移検出回路101は、ノイズに対する感度が低く設定されているので、リード用のワンショットパルス信号OSPを出力しない。従って、アドレスに含まれるノイズによっては再リードは行われず、時刻 t_{64} 以降に新たなリードサイクルが開始したとしても、そのサイクルの動作を阻害することがない。

【0079】(D) ページモードでのアドレスのスキューがながい場合の動作

図7に示すように、ページモードが開始する時刻 t_{73} から時刻 t_{75} までの上位アドレス $ADDU$ のスキュー期間 t_{SKEW} がながい場合の動作を説明する。先ず、時刻

18

t_{71} で、上位アドレス $ADDU$ および下位アドレス $ADDL$ が変化すると、この変化を受けて、リード動作に付随するリフレッシュが行われる。そして、このリフレッシュが終了すると、時刻 t_{72} でアドレス $ADDU$ がラッチされ、このアドレスに対するリードが行われ、データ $D1$ が出力される。この後、時刻 t_{73} で、下位アドレス $ADDL$ が、アドレス $A2$ 、 $A3$ 、 $A4$ に順次変換し、ページモードでのリードが行われる。

【0080】ここで、本来であれば上位アドレス $ADDU$ は、時刻 t_{71} 以降において、ノーマルモードおよびページモードでのリードが完結するまで、アドレス A に維持されなければならないのであるが、何らかの意図せぬ事情により、この期間での上位アドレス $ADDU$ が確定せず、いわゆるロングスキューが発生したとする。この場合、時刻 t_{73} での上位アドレス $ADDU$ の変化を受けて、前述の図5に示す動作例と同様に、リフレッシュとダミーリードが順次行われ、これと並行して、下位アドレス $ADDL$ に対するデータ $D2$ の読み出しが行われる。この後、下位アドレス $ADDL$ がアドレス $A3$ に切り替わると、これに対応するデータ $D3$ が出力される。

【0081】ところが、リフレッシュが終了する時刻 t_{74} で、アドレス上位アドレス $ADDU$ がラッチされるが、この時刻 t_{74} では上位アドレス $ADDU$ が不確定な状態にあるので、ラッチされた上位アドレスが変化する。このため、ノーマルモードと誤って判定されてダミーリードが行われ、データラッチ回路110からデータ $D3$ を出力している途中で、時刻 t_{74} でラッチされたアドレスに応じたデータ $D3'$ がデータラッチ回路110にラッチされて出力される。そして、その後、下位アドレス $ADDL$ がアドレス $A4$ に切り替わると、これに対応するノーマルモードでのデータ $D4'$ がデータ $D3'$ に続いて出力される。即ち、時刻 t_{73} 以降のページモードで本来期待されるデータとは異なるデータが一時的に出力される。

【0082】しかしながら、これは、ノーマルモードでの動作としてみれば、単にアドレスに応じたデータが出力されているにすぎず、正常な動作といえる。この後、時刻 t_{75} で上位アドレス $ADDU$ が本来のアドレス A に回復すると、ダミーリードが終了する時刻 t_{76} で本来の上位アドレス $ADDU$ がラッチし直され、下位アドレス $ADDL$ がアドレス $A4$ に切り替わると、このアドレスに対する正しいデータ $D4$ が出力される。従って、ページモードでロングスキューが存在したとしても、一時的に誤ったデータが出力されるが、最終的には正しいデータが読み出されることとなる。

【0083】このように、ページモードの場合には、上位アドレス $ADDU$ にロングスキューが存在しても、上位アドレスが元の状態に回復すれば、正しく再リードが行われて、ページモードで本来読み出すべきデータを

19

ることではあるが、スキュー中の不確定なアドレスに対する誤ったデータが一時的に出力される場合がある。一般には、このようなロングスキューの期間は、ページサイクルの期間に相当程度にながいのであり、ページモードを使用するシステムとしてはありえない、非現実的なスキューである。従って、ページモードでロングスキューが存在すると、一時的に誤ったデータが出力されるが、事実上、このデータを入力するシステム側の不都合はない。

【0084】なお、ノーマルモードからページモードに移行する時刻 t_73 で上位アドレスADDUが変化すると、この変化を受けてリフレッシュが実行される。この理由は、アドレス変化の直後に確定するアドレスがノーマルモードで指定されるアドレスである場合があり得るからである。アドレス変化後に前のアドレスに戻る場合にも、ページモードに入る場合と、ページモードと同一の下位アドレスだけが変化する場合の2通りの場合が考えられる。ページモードに入る場合には、大きなスキューが発生する可能性は低い、ノーマルモードに入る場合にはその可能性は高くなる。従って、どちらのモードに入ったとしても正常な動作を保障するためには、アドレスの変化を受けてリフレッシュを行う必要があり、これにより、通常のタイミングでリフレッシュを発生させることも、またページモードでのリード動作を継続することも可能となる。

【0085】(E) ページモードでのアドレスのスキューが短い場合の動作

図8に示すように、ページモードが開始する時刻 t_83 から時刻 t_85 までの上位アドレスADDUのスキュー期間 t_{SKEW} が短い場合(ショートスキュー)の動作を説明する。この場合、ショートスキューが、上述のアドレス遷移検出回路101によって検出され、リード用のワンショットパルス信号OSPが発生されるか否かで、動作が異なる。

【0086】まず、ショートスキューがアドレス遷移検出回路101で検出されない程度のものである場合、リフレッシュのみが起動され、その後の時刻 t_85 ではページモードでの動作と判定され、ノーマルリードは行われない。これと並行して、データラッチ回路110から下位アドレスA2に対するデータD2が出力され、時刻 t_86 で下位アドレスADDLがアドレスA3に確定すると、これに対するデータD3が出力される。従って、この場合、特に不都合なくページモードによるリードが行われる。

【0087】また、ショートスキューがアドレス遷移検出回路101で検出され得る程度のものであって、アドレスのラッチが行われる時刻 t_85 の直前まで継続するものである場合、リフレッシュに続いてノーマルリードが起動される。しかしながら、この場合、新たに外部から取り込んだアドレスと、それまでにラッチされて取り

20

込まれていたアドレスとを比較し、これらアドレスが同じであれば、新たに取り込んだアドレスに対するリード動作を無効とし、データラッチ回路110から下位アドレスA2に対するデータD2を出力する。従って、この場合も不都合なくページモードによるリードが行われる。

【0088】さらに、特に図示しないが、時刻 t_85 で上位アドレスADDUが、アドレスAとは異なる別のアドレスに確定した場合、時刻 t_85 でこの上位アドレスがラッチされる。そして、この上位アドレスに対するノーマルモードでのリードが起動され、新たなデータが下位アドレスADDLに従ってデータラッチ回路110から出力される。従ってこの場合、ノーマルモードと同じアクセスタイムを満足する。なお、ノーマルモードからページモードに移行する時刻 t_83 で上位アドレスADDUが変化すると、この変化を受けてリフレッシュが実行されるが、この理由も、上述の図7に示す場合と同様に、アドレス変化の直後に確定するアドレスがノーマルモードで指定されるアドレスである場合があり得ることに対処するためである。以上により、この実施の形態1を説明した。

【0089】この実施の形態1によれば、メモリセルアレイから並列的に読み出された複数のデータをデータラッチ回路110にラッチし、列アドレスに応じて非同期でラッチ回路から出力するようにしたので、スキューを考慮することなくページモードでのサイクルを設定することが可能となる。従って、ページモードでの読み出し速度を改善することができる。また、最下位の列アドレスのみを切り換えて、ラッチ回路にラッチされたデータを非同期で出力するようにしたので、ページモードでのサイクルを一層小さくすることが可能となる。

【0090】また、スキューにより起動されるダミーリードの前後で上位アドレスが異なる場合、アドレスをラッチし直すようにしたので、仕様上でスキューを制限する必要がなくなり、いわゆるスキューフリーの疑似SRAMとして動作させることが可能となる。さらに、リフレッシュを起動する場合に比較して、リードを起動する場合のアドレス遷移検出回路の感度を低下させたので、読み出し速度を犠牲にすることなく、アドレスに含まれるノイズに対する誤動作を防止することが可能となる。

【0091】＜実施の形態2＞以下、この発明に係る実施の形態2を説明する。この実施の形態2に係る半導体記憶装置は、図9に示すように、カラムデコーダ/センスアンプ107Aからデータラッチ回路110Aに、2ビットづつ2回に分けてデータを時分割により取り込ませるように構成され、その他については、上述の実施の形態1に係る構成と同様である。

【0092】図10を参照して、この実施の形態2の動作を説明する。時刻 t_{101} から時刻 t_{102} までのスキュー期間 t_{SKEW} を経て上位アドレスADDUおよび下

21

位アドレス ADDL が確定すると、このときに下位アドレスの列アドレス A0 として指定されたアドレス An と、その次の列アドレス An+1 との 2 つのアドレスで特定されるビット線が選択され、これらビット線上に現れる 2 ビットのデータ Dn, Dn+1 が並行してリードされる。そして、これら 2 ビットのデータはデータラッチ回路 110A にラッチされ、外部から指定される列アドレス A0 に応じて非同期で外部に順次送出される。

【0093】上述の 2 ビットのデータ Dn, Dn+1 のリードと並行して、適切なタイミングで、アドレス A0 として指定されるアドレス An+1 と、その次のアドレス An+2 との 2 つのアドレスで特定される 2 ビットのデータが並行して読み出され、同様にデータラッチ回路 110A にラッチされて外部に出力される。ここで、列アドレス A0 として指定されるアドレス An~An+3 は連続したアドレスであるから、先頭のアドレス An さえ指定されれば、他のアドレスは内部で自動的に発生するようにできる。そして、これらのアドレスに従って 2 ビットずつの読み出しを適切なタイミングで時分割により行う。

【0094】この実施の形態 2 によれば、カラムデコーダ/センスアンプ 107A とデータラッチ回路 110A との間でデータを転送するためのバスの規模を縮小することができる。この例では、ひとつのデータ出力端子に対して 2 ビット分のバスを準備すればよいので、上述の実施の形態 1 に比較して、この種のバスの本数を半分に減らすことができる。例えば、データ出力端子の数が 16 の場合、上述の実施の形態では、64 本 (4 ビット×16) のバスが必要になるが、この実施の形態 2 によれば、その半分の 32 本で足りる。

【0095】なお、特に図示していないが、列アドレス A0 がアドレス An からアドレス An+1 に切り替わり、ノーマルモードからページモードに移行する際に、アドレス A0 が変化すると、この変化を受けてリフレッシュが実行されるようになっている。この理由も、上述の図 7 および図 8 に示す場合と同様に、アドレス変化の直後に確定するアドレスがノーマルモードで指定されるアドレスである場合があり得ることに対処するためである。

【0096】＜実施の形態 3＞以下、この発明の実施の形態 3 を説明する。この実施の形態 3 に係る半導体記憶装置は、ライトモードにおいてページモードによる動作を実現するものである。特に、構成については説明しないが、外部から指定される複数のデータを下位アドレスである列アドレスで規定される複数のサイクルでそれぞれ取り込んで保持するデータラッチ回路と、最後に下位アドレスが指定されるサイクル (すなわち前記複数のサイクルのうちの最後のサイクル) で、それまでにデータラッチ回路に取り込んだすべてのデータを一括してメモリセルに書き込むための書き込み制御系を備えて構成さ

22

れる。

【0097】次に、後述する図 11 を援用して、この実施の形態 3 の動作を説明する。まず、時刻 t111 から時刻 t112 までのスキュー期間 tSKEW が経過し、期間 T1 でのアドレスが確定する。この期間 T1 において、時刻 t113 でライトイネーブル信号/WE が L レベルとされ、時刻 t115 で H レベルとされる。この H レベルとなるエッジでデータ D1 が取り込まれてメモリセルに書き込まれる。この後に続く期間 T1~T4 で列アドレス A0 が切り替わり、列アドレスが順次インクリメントされる。そして、期間 T1 と同様に各期間においてデータがメモリセルに書き込まれる。

【0098】ここで、ページモード (下位のみ変化する場合) においては、リフレッシュ動作を発生させないようにして、同一サイクル内でのワード線の選択回数をライト動作時の 1 回とする。これにより、ノーマルモード時のように 2 回のワード線の選択を行う場合に比較して、サイクルタイムが約半分となり、高速に連続してページモードでの書き込みが行われることとなる。この書き込みの期間中、リフレッシュは行われませんが、その後のノーマルモードでリフレッシュが可能となるので、ページモードが長時間にわたって連続しなければ、データ保持に支障は生じない。

【0099】続いて、図 11 を参照して、この実施の形態 3 の他の動作を説明する。まず、時刻 t111 から時刻 t112 までのスキュー期間 tSKEW が経過し、期間 T1 でのアドレスが確定する。この例では、下位アドレス ADDL の列アドレス A0 は、時刻 t112 で H レベルに確定している。この期間 T1 において、時刻 t113 でライトイネーブル信号/WE が L レベルとされ、時刻 t114 で H レベルとされる。このライトイネーブル信号/WE が H レベルとなるエッジを挟んで、時刻 t114 から時刻 t116 にかけてデータ DIN としてデータ D1 が確定した状態とされる。このデータ DIN がデータ D1 に確定した状態にある時刻 t115 で、ライトイネーブル信号/WE が H レベルになると、このデータ D1 がデータラッチ回路に取り込まれる。

【0100】時刻 t115 以降では、ページモードにより、データの取り込みが行われて、メモリセルに書き込まれる。即ち、期間 T2 が開始する時刻 t115 で列アドレス A0 が L レベルに変化し、この期間 T2 において指定されたアドレスに対応するデータ D2 が、ライトイネーブル信号/WE の立ち上がりでデータラッチ回路に取り込まれる。その後の期間 T3, T4 でも同様にデータ D3, D4 がデータラッチ回路に取り込まれる。結局、期間 T1~T4 にわたって外部から 4 ビットのデータ D1~D4 が順次取り込まれ、これらのデータがデータラッチ回路に蓄積される。そして、最後のサイクルである期間 T4 において最後のデータ D4 がデータラッチ回路に取り込まれると、それまでにデータラッチ回路に

23

蓄積された4ビットのデータが、各期間で指定されたアドレスで特定されるメモリセルに一括して書き込まれる。

【0101】ここで、期間T1～T3では、単に外部からデータラッチ回路にデータを取り込むだけであるから、これらの期間T1～T3を極めて短く設定できる。また、最後の期間T4では、4ビットのデータをメモリセルに書き込まなければならないので、そのために必要な時間を割り当てる必要がある。しかし、このページモードによる書き込み方法によれば、最後のサイクルのみをながめに設定すればよいので、全体としてショートサイクルで書き込みを行うことができ、書き込み時間を有効に短縮することが可能となる。

【0102】上述の動作以外に、以下のような動作も可能である。図11の動作において、期間T1～T3のサイクルでは、データの取り込みのみで、内部では、期間T1のサイクルから必要に応じてリフレッシュ動作を開始し、期間T2やT3にまたがって実施してもよい。ただし、期間T4の始期までには終了させておき、期間T4のサイクルで4回分のデータを一括してセルに書き込む。ノーマルモードの場合は、期間T1のサイクルが長くなり、そのサイクルで書き込みが1回実施される。どちらの状態になるかは、期間T1でのアドレス変化時にはわからないので、内部はリフレッシュ実行状態にしておき、その間に、ライトイネーブル信号/WEおよびアドレス変化にて判断する。例えば、下位アドレスのみショートサイクルで変化し、ライトイネーブル信号/WEがショートパルスの場合にはページモードと判断する。

【0103】＜実施の形態4＞以下、この発明に係る実施の形態4を説明する。上述の実施の形態3では、ページモードの最後のサイクルで一括してデータを書き込むものとしたが、この実施の形態4では、いわゆるレイトライトモードと併用して、上述のデータラッチ回路に取り込んだ4ビットのデータ（複数のデータ）をレイトライトにより一括してメモリセルに書き込むように構成される。

【0104】図12を参照して、この実施の形態4の動作を説明する。時刻t121から時刻t122までのスキュー期間の経過後、上述の図11に示す期間T1から期間T3と同様に、期間T11から期間T13にかけてデータD1～D3の取り込みが行われ、データラッチ回路にこれらのデータが蓄積される。また、この実施の形態では、最後の期間T14でもそれまでの期間と同様に単にデータD4の取り込みを行う。即ち、期間T11～T14にかけてデータD1～D4がショートサイクルでデータラッチ回路に取り込まれる。そして、これらの4ビットのデータは、その後のサイクルでレイトライトで該当するメモリセルに書き込まれる。

【0105】図12に示す例では、時刻t121から時刻t122にかけてアドレスADDU、ADDLが変化

24

すると、このアドレスの変化を受けて最初にリフレッシュ動作を実行する。このとき、期間T11でのライト動作は、ノーマルモードと同一とすることができ、このようにすると、回路上の構成を簡略化することができる。このリフレッシュ動作に続いて、期間T11において、その前のサイクルでデータラッチ回路に取り込まれた4ビットのデータがレイトライトにより一括してメモリセルに書き込まれる。

【0106】また、スキュー期間tSKEWの直後に行われるリフレッシュ動作と、その後のレイトライト動作とを内部で実行しながら、外部では期間T11から期間T14までのデータの取り込み動作を並行して実施する。この場合、トータルのサイクルタイムが最も小さくなり、例えば8ワードページ以上では最小データ取り込みサイクルの連続中に並行して内部動作（リフレッシュ及びライト動作）を完了させることが可能となるので、従来の連続ノーマルモードの4倍以上の動作周波数を実現できる。このリフレッシュ及びレイトライト動作さえ終了すれば、期間T11～T14ではメモリセルはリード・ライトの対象とされないで、この期間にリフレッシュを任意に行うことも可能である。この実施の形態4によれば、ページモードでデータラッチ回路に取り込んだデータをレイトライトで書き込むようにしたので、一層短いサイクルで書き込みを行うことが可能となる。

【0107】以上、この発明の各実施の形態を説明したが、この発明は、これらの実施の形態に限られるものではなく、この発明の要旨を逸脱しない範囲の設計変更等があっても本発明に含まれる。例えば、上述の実施の形態では、データラッチ回路110に4ビットのデータを保持し、マルチプレクサ111で順次選択して外部に出力するものとしたが、これに限定されることなく、メモリセルアレイから読み出したデータを、パラレル/シリアル変換機能を有するシフトレジスタに取り込んで外部に出力するようにしてもよい。

【0108】また、上述の実施の形態では、データラッチ回路110にデータを蓄積するものとしたが、カラムデコーダ/センスアンプ107をラッチ回路として機能させ、このカラムデコーダ/センスアンプ107により選択されたデータを、列アドレスに応じて非同期で外部に順次出力するものとしてもよい。また、ページライトにおいても、リードと同様に数回に分けて書き込むようにしてもよい。また、上述の実施の形態では、ページモードで内部アドレスを発生する場合について述べたが、これは一般に言うバーストモードを非同期にて実現した場合に相当する。アドレス入力、非同期でバーストモード時だけ動作するクロック入力を持った場合にも、この発明を適用することが可能である。

【0109】

【発明の効果】以上説明したように、本発明によれば、メモリセルアレイから読み出された複数ビットのデータ

25

を保持し、これを非同期で選択して外部に順次出力するようにしたので、いわゆる疑似SRAMとして構成されながらも、アドレスのスキューに関する制限を有効に緩和することができ、読み出し速度を改善することができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1に係る半導体記憶装置の構成を示すブロック図である。

【図2】 本発明の実施の形態1に係る半導体記憶装置の詳細構成を示すブロック図である。

【図3】 本発明の実施の形態1に係る半導体記憶装置の動作（図2に示す回路系の動作）を説明するための波形図である。

【図4】 本発明の実施の形態1に係る半導体記憶装置の動作（標準的な動作）を説明するための波形図である。

【図5】 本発明の実施の形態1に係る半導体記憶装置の動作（ノーマルモードのスキューがながい場合の動作）を説明するための波形図である。

【図6】 本発明の実施の形態1に係る半導体記憶装置の動作（アドレスにノイズが含まれる場合の動作）を説明するための波形図である。

【図7】 本発明の実施の形態1に係る半導体記憶装置の動作（ページモードのスキューがながい場合の動作）を説明するための波形図である。

【図8】 本発明の実施の形態1に係る半導体記憶装置*

26

*の動作（ページモードのスキューがみじかい場合の動作）を説明するための波形図である。

【図9】 本発明の実施の形態2に係る半導体記憶装置の構成を示すブロック図である。

【図10】 本発明の実施の形態2に係る半導体記憶装置の動作を説明するための波形図である。

【図11】 本発明の実施の形態2に係る半導体記憶装置の動作を説明するための波形図である。

【図12】 本発明の実施の形態2に係る半導体記憶装置の動作を説明するための波形図である。

【図13】 従来技術に係る半導体記憶装置の構成例を示すブロック図である。

【図14】 従来技術に係る半導体記憶装置の動作を説明するための波形図である。

【符号の説明】

101…アドレス遷移検出回路

102…コントロール回路

103, 104…ゲート回路

105…ロウデコーダ

106…メモリセルアレイ

107, 107A…カラムデコーダ/センスアンプ

108…内部アドレス発生回路

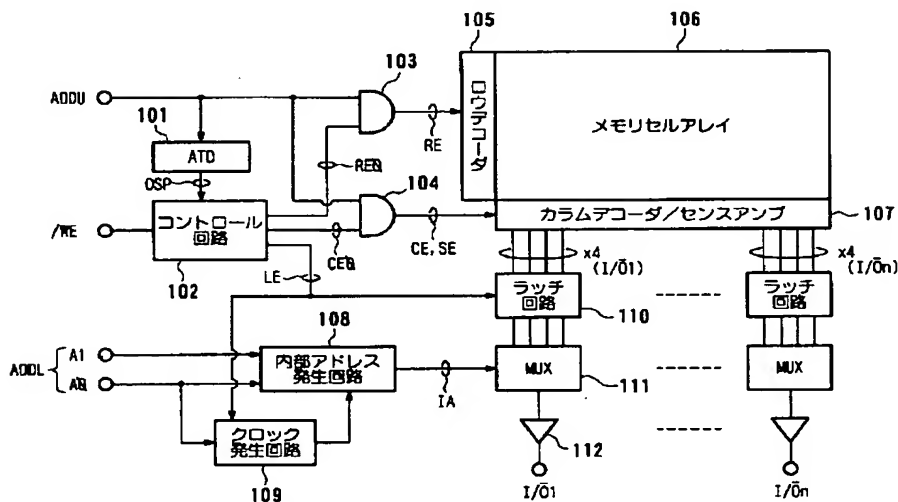
109…クロック発生回路

110, 110A…データラッチ回路

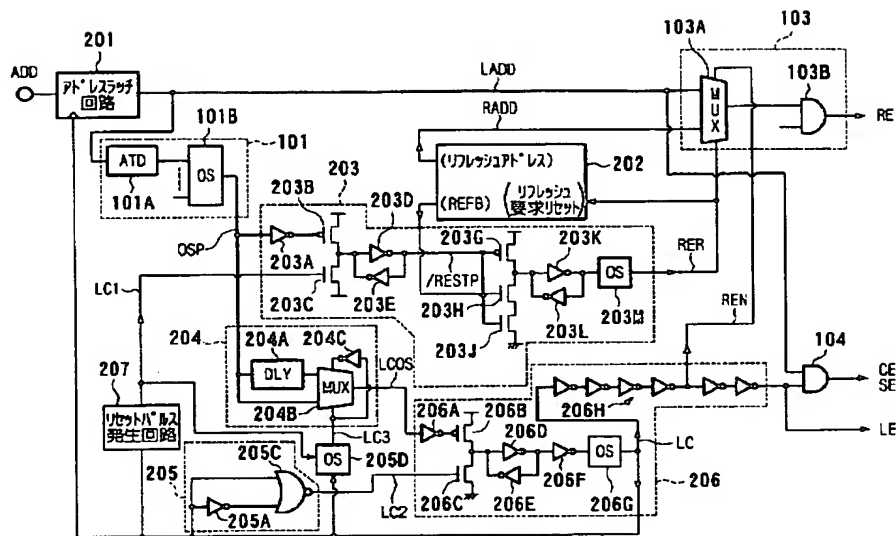
111…マルチプレクサ

112…出力バッファ回路

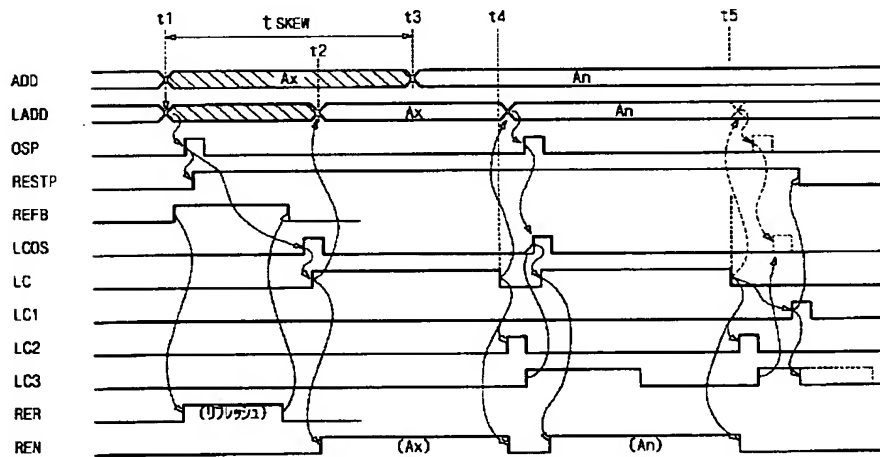
【図1】



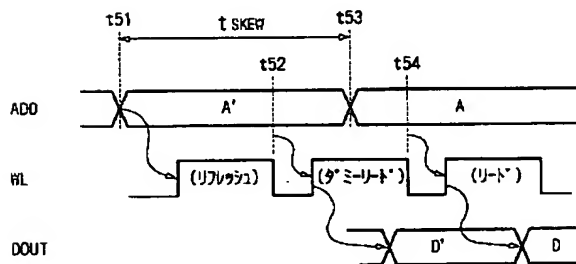
【図2】



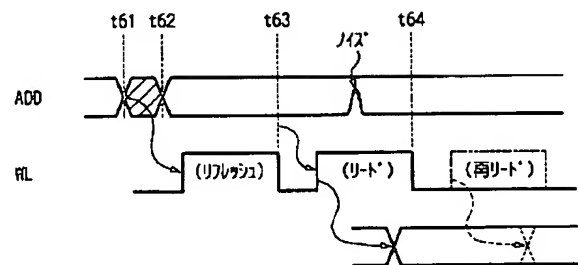
【図3】



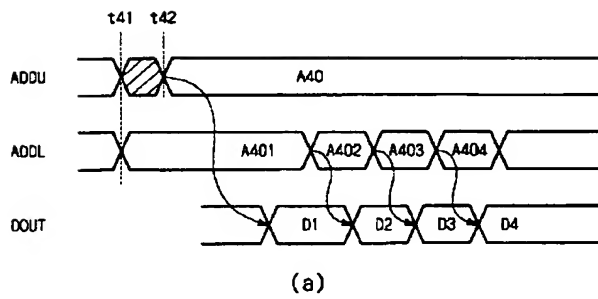
【図5】



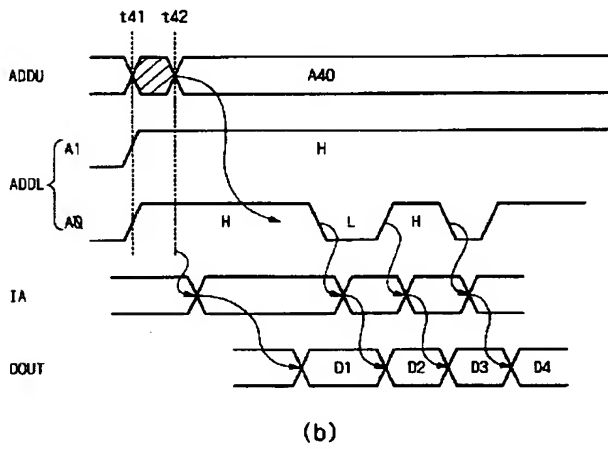
【図6】



【図4】

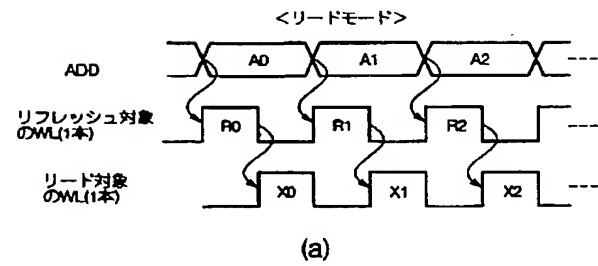


(a)

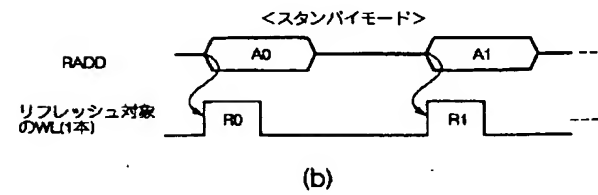


(b)

【図14】

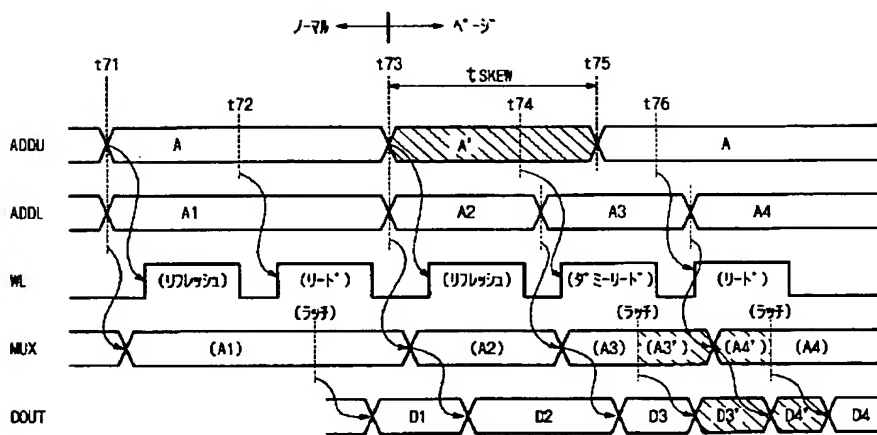


(a)

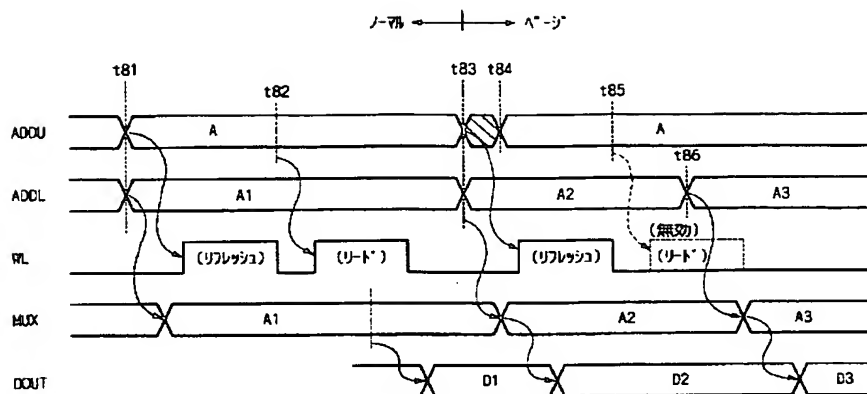


(b)

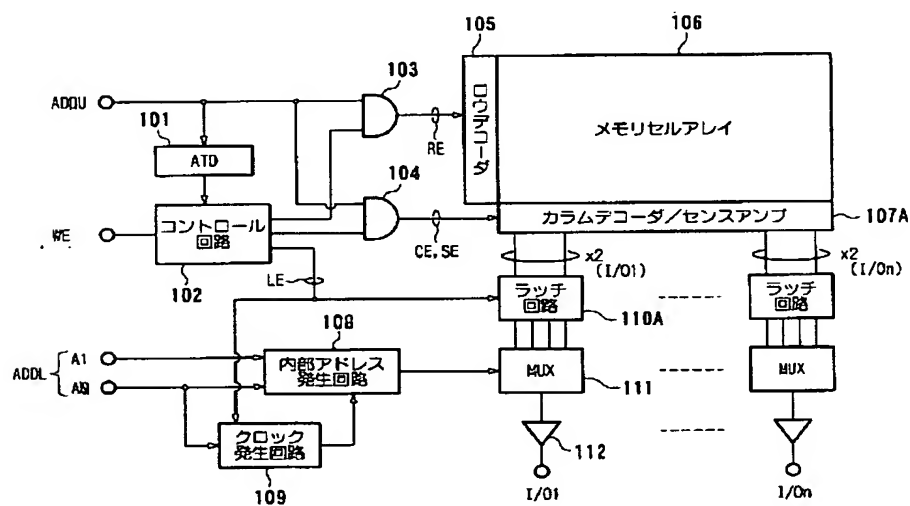
【図7】



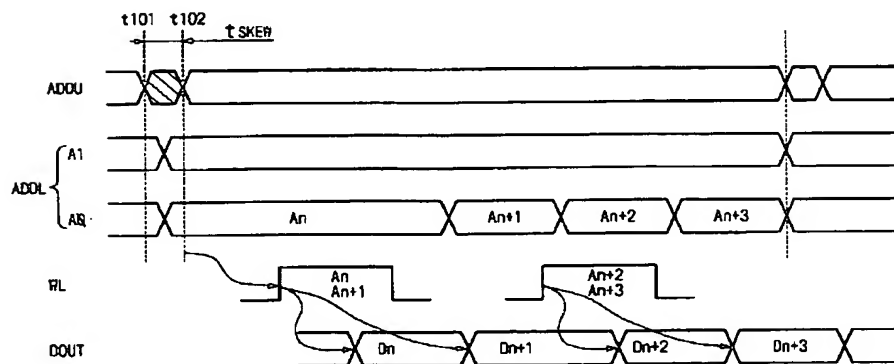
【図8】



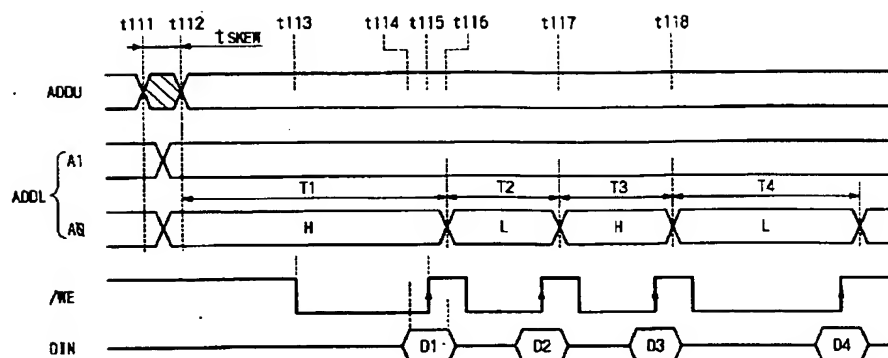
【図9】



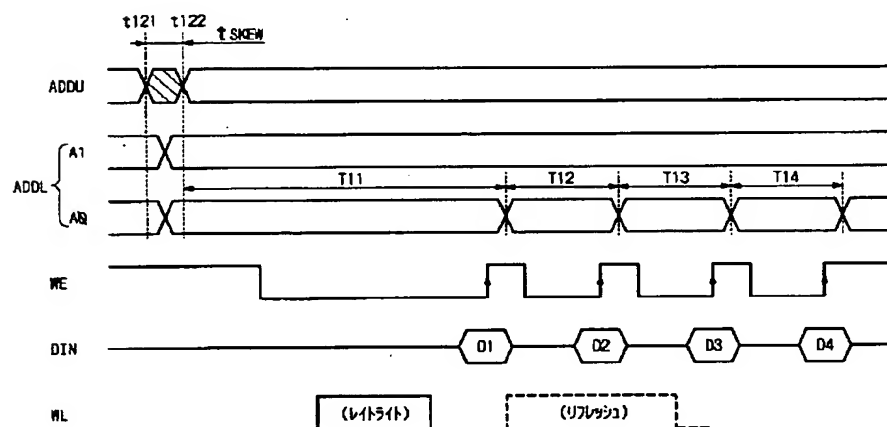
【図10】



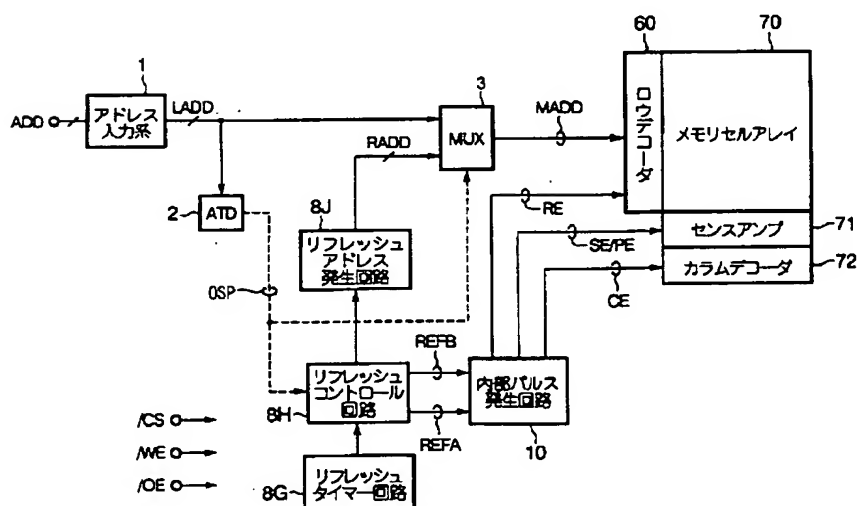
【图 1 1】



【图 1 2】



【図 13】



フロントページの続き

(72)発明者 中川 敦

東京都港区芝五丁目7番1号 日本電気株
式会社内

Fターム(参考) 5M024 AA90 BB27 BB34 BB35 BB36
DD19 DD20 DD79 DD86 DD87
EE05 EE15 KK22 PP01 PP02
PP03 PP07